

MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】 日本国特許庁 (J P)	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12)【公報種別】 公開特許公報 (A)	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11)【公開番号】 特開平 7-134277	(11)[KOKAI NUMBER] Unexamined Japanese Patent Heisei 7-134277
(43)【公開日】 平成 7 年 (1 9 9 5) 5 月 2 3 日	(43)[DATE OF FIRST PUBLICATION] May 23, Heisei 7 (1995. 5.23)
(54)【発明の名称】 走査回路およびその駆動方法	(54)[TITLE OF THE INVENTION] Scanning circuit and its actuation method
(51)【国際特許分類第 6 版】 G02F 1/133 550 G09G 3/36 H04N 1/04 3/16 E	(51)[IPC INT. CL. 6] G02F 1/133 550 G09G 3/36 H04N 1/04 3/16 E
【 F I 】 H04N 1/04 7251-5C	[FI] D H04N 1/04 D 7251-5C
【審査請求】 有	[REQUEST FOR EXAMINATION] Yes
【請求項の数】 4	[NUMBER OF CLAIMS] 4
【出願形態】 O L	[FORM of APPLICATION] Electronic

【全頁数】 7

[NUMBER OF PAGES] 7

(21) 【出願番号】

(21)[APPLICATION NUMBER]

特願平 5-282243

Japanese Patent Application Heisei 5-282243

(22) 【出願日】

(22)[DATE OF FILING]

平成 5 年 (1 9 9 3) 1 1 月 1
1 日

November 11, Heisei 5 (1993. 11.11)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

[ID CODE]

000004237

000004237

【氏名又は名称】

[NAME OR APPELLATION]

日本電気株式会社

Nihon Electric Corporation

【住所又は居所】

[ADDRESS OR DOMICILE]

東京都港区芝五丁目 7 番 1 号

(72) 【発明者】

(72)[INVENTOR]

【氏名】

[NAME OR APPELLATION]

浅田 秀樹

Asada Hideki

【住所又は居所】

[ADDRESS OR DOMICILE]

東京都港区芝五丁目 7 番 1 号
日本電気株式会社内

(74) 【代理人】

(74)[AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】

[NAME OR APPELLATION]

京本 直樹 (外 2 名)

Kyomoto Naoki (and 2 others)

(57) 【要約】**【目的】**

液晶ディスプレイ、密着型イメージセンサ、液晶シャッタおよび蛍光表示管等の周辺駆動回路における双方向走査回路の高速化、歩留りの改善を図る。

【構成】

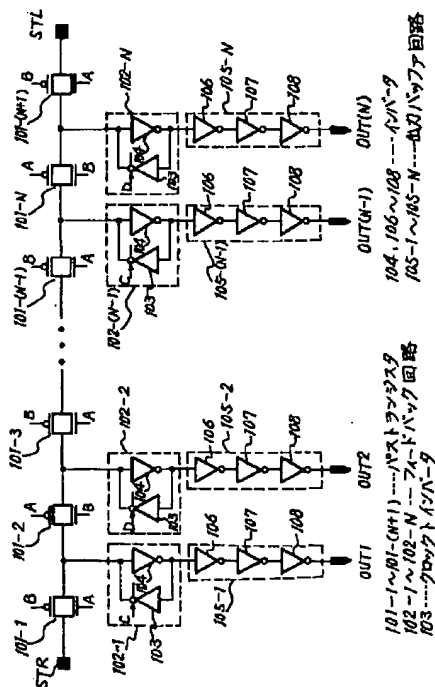
本発明は、データ信号をクロック信号に同期して遅延転送する回路構成により、走査パルス信号を出力する走査回路において、前段からのデータ信号を入力信号とし、クロック信号A、Bにより、次段に対する入力信号を出力信号とする縦続接続されたパストランジスタ101-101-(N+1)と、クロック信号C、Dにより、前記パストランジスタから、分岐出力される信号を個別に輸入して、当該信号のレベル低下を補償して出力するフィードバック回路102-102-Nと、前記のフィードバック回路より逐次出力される信号を、それぞれ個別に輸入して、それぞれ走査パルス信号を、OUT₁～OUT_(N)として出力する出力バッファ回路105-1～105-Nとを備えて構成される。

(57)[ABSTRACT OF THE DISCLOSURE]**[PURPOSE]**

Improvement in the speed of bidirectional scanning circuit in periphery driving circuits, such as liquid crystal display, contacted type image sensors, liquid-crystal shutter, and fluorescent display tube, and improvement of yield are aimed at.

[CONSTITUTION]

This invention, in scanning circuit which outputs scanning pulse signal by circuit arrangement which carry out delay transmission of the data signal synchronizing with clock signal, data signal from prestage is made into input signal, signal by which branch output is carried out is individually input as pass-transistor 101-1-101-(N+1) which makes output signal input signal with respect to the following step by clock signals A and B and by which tandem connection was carried out from said pass transistor by clock signals C and D, signal sequentially outputted from the above-mentioned feedback circuit is each individually input as feedback circuit 102-1-102-N which compensates and outputs level decline of said signal, and scanning pulse signal is each outputted as OUT₁-OUT_(N). It has such output buffer circuit 105-1-105-N, and is comprised.



【特許請求の範囲】

[CLAIMS]

【請求項 1】

データ信号を所定のクロック信号に同期させて逐次遅延転送する回路構成により、走査パルス信号を生成して出力する走査回路において、前段から出力されるデータ信号を入力信号とし、1個のクロック信号または相互に反転関係にある2個のクロック信号により制御されて、次段に対する入力信号を出力信号とする複数の縦続接続されたパストランジスタと、

[CLAIM 1]

In scanning circuit which generates and outputs scanning pulse signal by circuit arrangement which data signal is synchronized with prescribed clock signal, and carry out delay transmission sequentially, pass transistor of plurality which makes input signal data signal outputted from prestage, is controlled by one clock signal or two clock signals which have reversal relation mutually, and makes output signal input signal with respect to the following step by which tandem connection was carried out, two or more feedback circuits which individually input signal by which branch output

前記複数のパストランジスタから、それぞれ逐次分岐出力される信号を個別に入力して、当該信号のレベル低下を補償して出力する複数のフィードバック回路と、

前記の複数のフィードバック回路より逐次出力される信号を、それぞれ個別に入力して、それぞれ走査パルス信号として出力する複数の出力バッファ回路と、

を少なくとも備えることを特徴とする走査回路。

is each carried out sequentially, and compensate and output level decline of said signal from these pass transistors, two or more output buffer circuits which each individually input signal outputted sequentially and each output it as a scanning pulse signal from two or more above-mentioned feedback circuits, it has these at least.

Scanning circuit characterized by the above-mentioned.

【請求項 2】

前記データ信号の最終ビットに対応するパストランジスタの出力信号を入力とし、前記 1 個のクロック信号または相互に反転関係にある 2 個のクロック信号により制御される 1 個のパストランジスタを備えることを特徴とする請求項 1 記載の走査回路。

[CLAIM 2]

Output signal of pass transistor corresponding to the final bit of said data signal is considered as input, and it has one pass transistor controlled by said 1 clock signal or two clock signals which have reversal relation mutually.

Scanning circuit of Claim 1 characterized by the above-mentioned.

【請求項 3】

請求項 1 および 2 記載の走査回路において、前記データ信号の隣接するビットに対応する各パストランジスタの制御端子に対して、それぞれ相互に反転関係にあるクロック信号を入力するとともに、前記隣接するビットに対応する各フィードバック回路の制御端子に対しても、そ

[CLAIM 3]

A actuation method of scanning circuit, in which in scanning circuit of Claim 1 and 2, while inputting clock signal which each has reversal relation mutually to control terminal of each pass transistor corresponding to bit which said data signal adjoins, to control terminal of each feedback circuit corresponding to said adjacent bit, clock signal which each has reversal relation mutually is input.

れぞれ相互に反転関係にあるクロック信号を入力することを特徴とする走査回路の駆動方法。

【請求項 4】

請求項 1 および 2 記載の走査回路において、前記フィードバック回路の制御端子に入力するクロック信号を、当該クロック信号の反転クロック信号に置換えて入力することを特徴とする走査回路の駆動方法。

[CLAIM 4]

A actuation method of scanning circuit, in which in scanning circuit of Claim 1 and 2, clock signal input into control terminal of said feedback circuit is replaced and input into reversal clock signal of said clock signal.

【発明の詳細な説明】**[DETAILED DESCRIPTION OF THE INVENTION]****【0001】****[0001]****【産業上の利用分野】**

本発明は走査回路およびその駆動回路に関し、特に液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等に対応する周辺回路として用いられる走査回路およびその駆動方法に関する。

[INDUSTRIAL APPLICATION]

This invention relates to scanning circuit and its driving circuit.
Specifically, it is related with scanning circuit used as a periphery circuit corresponding to liquid crystal display, contact image-sensor, liquid-crystal shutter, etc., and its actuation method.

【0002】**[0002]****【従来の技術】**

従来、液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の小型化、低コスト化および高信頼性等を目的として、これらの周辺回路として用いら

[PRIOR ART]

Technique of uniting with these liquid crystal displays, contact image-sensor, liquid-crystal shutter, etc., and formerly manufacturing thin film driving circuit used as these periphery circuits for the purpose of reduction in size of

れる薄膜駆動回路を、これらの液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等と一体化して製造する技術が採られている。この製造方法が採られている理由は、前記液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の画素電極と同一基板上に周辺駆動回路を設置することにより、接続端子の数および外部駆動ICの数の大幅な削減が可能になること、また大面積、高密度のボンディング工程の限界から生じる信頼性の問題を解決することができるというコンセプトに基づいている。

【0003】

通常、液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の周辺回路として用いられる走査回路は、シフトレジスタおよび出力バッファにより構成されているが、この走査回路は、例えば、アクティブマトリクス液晶ディスプレイにおいては、垂直駆動回路として、或いは水平駆動回路内のサンプル&ホールドスイッチを走査する回路として、前述の薄膜駆動回路を形成する重要な構成要素となっている。

【0004】

近年、大画面投射型ディスプレ

liquid crystal display, contact image-sensor, liquid-crystal shutter, etc., cost reduction, high reliability, etc. is taken.

Reason this manufacturing method is adopted are that

Drastic reduction of the number of connecting terminal and the number of external drive ICs is attained by installing periphery driving circuit on the same base plate as pixel electrodes, such as said liquid crystal display, contact image-sensor, and liquid-crystal shutter, and Moreover, that problem of reliability produced from limit of bonding process of large area and high density is solvable.

[0003]

Usually, scanning circuit used as periphery circuits, such as liquid crystal display, contact image-sensor, and liquid-crystal shutter, comprises shift register and output buffer.

This scanning circuit constitutes important component which forms the above-mentioned thin film driving circuit as vertical-drive circuit or a circuit which scans sample & hold switch in horizontal driving circuit for example, in active-matrix liquid crystal display.

[0004]

In recent years, in LCD projector with which

イとして普及が進んでいる液晶プロジェクタにおいては、液晶ライトバルブを通過した光の反射・屈折回数の違いから、赤・緑・青の3原色に対応する3枚の液晶ライトバルブの内の1枚のパネルについては、当該画像をミラー反転させる必要がある。このミラー反転を行う方法としては、垂直走査回路の走査方向を反転させるか、または液晶ライトバルブを180度回転させ、且つ水平走査回路の走査方向を反転させる方法がある。このためには、データの左右転送切替え可能な双方向走査回路が必要となってくる。

【0005】

図4は、従来の双方向走査回路の構成を示す図である。図4に示されるように、従来の双方向走査回路は、右シフトスタートパルスが入力される入力端子STRおよび左シフトスタートパルスが入力される入力端子STLに対応して、N個の選択回路401-1、401-2、401-3、……、401-N (Nは正整数) と、これらのN個の選択回路にそれぞれ対応して、パルス信号を遅延転送させる機能を有する、N個のハービット構成のシフトレジスタ405-1、405-2、405-3、……、405-Nと、

propagation progresses as big screen projection type display, it is necessary to carry out mirror reversal of said image about one panel in liquid-crystal light valve of three sheets corresponding to three primary colors of red * green * blue from difference of number of times of reflective * refraction of light which passed liquid-crystal light valve.

As a method of performing this mirror reversal, scanning direction of vertical-scanning circuit is reversed, or liquid-crystal light valve is rotated 180 degrees.

And there is method of reversing scanning direction of horizontal-scanning circuit.

For that, bidirectional scanning circuit whose right-and-left transmission change data can carry out is needed.

[0005]

FIG. 4 is figure showing composition of conventional bidirectional scanning circuit.

Corresponding to input terminal STL into which input terminal STR into which, as for conventional bidirectional scanning circuit, shift-to-the-right start pulse is input, and shift-to-the-left start pulse are input as shown in FIG. 4, n selecting circuits 401-1, 401-2, 401-3, …, 401-N (N is the number of shaping)

Shift register of N "habit" composition which respectively corresponds to these N selecting circuits, and has function to carry out delay transmission of the pulse signal 405-1, 405-2, 405-3, …, 405-N

Output buffer circuit which each outputs output of these shift-register

これらのシフトレジスタ 405-1, 405-2, 405-3....., 405-N as
 -1, 405-2, 405-3, OUT₁, OUT₂, OUT₃....., OUT_(N)
、405-Nの出力を、406-1, 406-2, 406-3....., 406-N
 それぞれOUT₁、OUT₂、OUT₃、.....、OUT_(N)と
 して出力する出力バッファ回路 401-1, 401-2, 401-3....., 401-N is each
 406-1, 406-2, 406-3,、406-N comprised by AND circuits 402 and 403 and OR
 とを備えて構成されており、上 circuit 404, moreover, output buffer circuit
 記の選択回路 401-1, 401-2, 401-3,、 406-1, 406-2, 406-3....., 406-N is each
 401-Nは、それぞれAND comprised by inverters 407 and 408.
 回路 402、403およびOR
 回路 404により構成されてお
 り、また出力バッファ回路 40
 6-1, 406-2, 406-3,、406-Nは、
 それぞれインバータ 407およ
 び 408により構成されてい
 る。

【0006】

また、図5 (a)、(b)、(c)、
 (d)、(e)、(f)、(g)、(h)、
 (i)および(j)と、図6 (a)、
 (b)、(c)、(d)、(e)、(f)、
 (g)、(h)、(i)および(j)
 は、それぞれ紙面向って左側よ
 り右方向にパルス信号が転送さ
 れる場合(右シフト)と、紙面
 向って右側より左方向にパルス
 信号が転送される場合(左シフ
 ト)における動作信号を示すタ
 イミング図である。以下、図4、
 図5および図6を参照して、本
 従来例の動作について説明す

[0006]

Moreover, FIG. 5 (a), (b), (c), (d), (e), (f), (g), (h),
 (i), and (j), FIG. 6 (a), (b), (c), (d), (e), (f), (g), (h),
 (i), and (j), are timing chart each showing
 actuating signal which can be set when pulse
 signal is transmitted leftward from right-hand
 side toward paper surface (shift to the left) with
 case (shift to the right) where pulse signal is
 transmitted rightward from left-hand side toward
 paper surface.

Hereafter, action of this prior art example is
 demonstrated with reference to FIG. 4, FIG. 5
 and FIG. 6.

る。

【0007】

図4において、左から右方向にパルス信号が転送される右シフトの場合には、もう一方の入力端子STLは開放状態に設定される。入力端子STRからは右シフトスタートパルスが入力され、選択回路401-1に含まれるAND回路403に入力される。また、AND回路401-1のもう一方の入力端に入力される入力信号Aはハイレベルに設定され、AND回路402の一方の入力端に対する入力信号Bはロウレベルに設定される。このようなAND回路402およびAND回路403に対する入力レベル設定により、ハイレベルの入力信号Aが入力されるAND回路403が選択される。このことは、選択回路401-2、401-3、………、401-Nに含まれるAND回路403についても同様であり、それぞれハイレベルの入力信号Aを受けて選択され、これにより右シフトの走査回路が形成される。

【0008】

STR端子より入力される右スタートパルスは、AND回路403およびOR回路404を介してシフトレジスタ405-1

[0007]

In FIG. 4, when it is shift to the right by which pulse signal is transmitted rightward from left, another input terminal STL is set as open state. From input terminal STR, shift-to-the-right start pulse is input, it inputs into AND circuit 403 contained in selecting circuit 401-1.

Moreover, input signal A input into another input port of AND circuit 401-1 is set up high-level, input signal B with respect to one input port of AND circuit 402 is set up low level.

AND circuit 403 into which high-level input signal A is input is chosen by such input level setup with respect to AND circuit 402 and AND circuit 403.

This is similar also about AND circuit 403 contained in selecting-circuit 401-2, 401-3, ……………, 401-N.

It chooses in response to respectively high-level input signal A, thereby, scanning circuit of shift to the right is formed.

[0008]

Right start pulse input from STR terminal is input into shift register 405-1 through AND circuit 403 and OR circuit 404.

However, clock signal $(\phi)_1$ and $(\phi)_2$ (reversal

に入力されるが、このシフトレジスタ 405-1 には、クロック信号 ϕ_1 および ϕ_2 (ϕ_1 の反転クロック信号) が入力されており、このクロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ 405-1 より出力される信号のタイミングが制御され、出力バッファ回路 406-1 を介して、走査パルス信号が出力信号 OUT_1 として出力される。このシフトレジスタ 405-1 より出力される信号は、次段の選択回路 401-2 に含まれる AND 回路 403 に入力され、当該 AND 回路 403 および OR 回路 404 を介して、シフトレジスタ 405-2 に入力される。シフトレジスタ 405-2 の動作は、上述のシフトレジスタ 405-1 の動作と全く同様であり、クロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ 405-2 より出力される信号のタイミングが制御され、出力バッファ回路 406-2 を介して、走査パルス信号が出力信号 OUT_2 として出力される。この走査パルス信号は、同時に次段の選択回路 401-3 に含まれる AND 回路 403 にも入力される。以下同様に、(N-1) 番目の出力バッファ回路 406-(N-1) からは、走査パルス信号が出力信号 $OUT_{(N-1)}$ として出力され、ま

clock signal of $(\phi_1)_1$ are input into this shift register 405-1, timing of signal outputted from said shift register 405-1 is controlled by this clock signal $(\phi_1)_1$ and $(\phi_1)_2$, scanning pulse signal is outputted as output-signal OUT_1 through output buffer circuit 406-1.

Signal outputted from this shift register 405-1 is input into AND circuit 403 contained in selecting circuit 401-2 of the following stage, it inputs into shift register 405-2 through said AND circuit 403 and OR circuit 404.

Action of shift register 405-2 is completely the same as action of the above-mentioned shift register 405-1.

Timing of signal outputted from said shift register 405-2 is controlled by clock signal $(\phi_1)_1$ and $(\phi_1)_2$, scanning pulse signal is outputted as output-signal OUT_2 through output buffer circuit 406-2.

This scanning pulse signal is input also into AND circuit 403 simultaneously contained in selecting circuit 401-3 of the following stage.

Below, similarly, from output buffer circuit 406-(N-1) of eye (N-1) watch, scanning pulse signal is outputted as output-signal $OUT_{(N-1)}$, moreover, from Nth output buffer circuit 406-N, scanning pulse signal is outputted as output-signal $OUT_{(N)}$.

Thus, scanning pulse signal shifted sequentially is outputted in order of output-signal $OUT_1, OUT_2, \dots, OUT_{(N-1)}, OUT_{(N)}$ (see FIG. 5 (a), (b), (c), (d), (e), (f), (g), (h), (i), and the (j)).

たN番目の出力バッファ回路406-Nからは、走査パルス信号が出力信号 $OUT_{(N)}$ として出力される。このようにして、出力信号 OUT_1 、 OUT_2 、…、 $OUT_{(N-1)}$ 、 $OUT_{(N)}$ の順に、逐次シフトされた走査パルス信号が出力される（図5(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)を参照）。

【0009】

また、右から左方向にパルス信号が転送される左シフトの場合には、入力端子STRは開放状態に設定される。入力端子STLからは左シフトスタートパルスが入力され、選択回路401-Nに含まれるAND回路402に入力される。また、AND回路402のもう一方の入力端に入力される入力信号Bはハイレベルに設定され、AND回路403の一方の入力端に入力される入力信号Aはロウレベルに設定される。これにより、ハイレベルの入力信号Bが入力されるAND回路402が選択される。このことは、選択回路401-1、401-2、401-3、…、401-(N-1)に含まれるAND回路402および403についても同様であり、それぞれAND回路402がハイレベルの入力信号B

[0009]

Moreover, when it is shift to the left by which pulse signal is transmitted leftward from right, input terminal STR is set as open state.

From input terminal STL, shift-to-the-left start pulse is input, it inputs into AND circuit 402 contained in selecting-circuit 401-N.

Moreover, input signal B input into another input port of AND circuit 402 is set up high-level, input signal A input into one input port of AND circuit 403 is set up low level.

AND circuit 402 into which high-level input signal B is input by this is chosen.

This is similar also about AND circuits 402 and 403 contained in selecting-circuit 401-1, 401-2, 401-3, ..., 401-(N-1).

AND circuit 402 is each chosen in response to high-level input signal B, thereby, scanning circuit of shift to the left is formed.

を受けて選択され、これにより左シフトの走査回路が形成される。

【0010】

STL端子より入力されるスタートパルス信号は、選択回路401-Nに含まれるAND回路402およびOR回路404を介してシフトレジスタ405-Nに入力される。シフトレジスタ405-Nには、クロック信号 ϕ_1 および ϕ_2 (ϕ_1 の反転クロック信号)が入力されており、このクロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ405-Nより出力される信号のタイミングが制御され、出力バッファ回路406-Nを介して、走査パルス信号が出力信号 $OUT_{(N)}$ として出力される。このシフトレジスタ405-Nより出力される信号は、次段の選択回路401-(N-1)に含まれるAND回路402に入力され、当該AND回路402およびOR回路404を介して、シフトレジスタ405-(N-1)に入力される。シフトレジスタ405-(N-1)の動作は、上述のシフトレジスタ405-Nの動作と全く同様であり、クロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ405-(N-1)より出力される信号のタイミングが制御さ

[0010]

Start pulse signal input from STL terminal is input into shift-register 405-N through AND circuit 402 contained in selecting-circuit 401-N, and OR circuit 404.

Clock signal $(\phi)_1$ and $(\phi)_2$ (reversal clock signal of $(\phi)_1$) are input into shift-register 405-N, timing of signal outputted from said shift-register 405-N is controlled by this clock signal $(\phi)_1$ and $(\phi)_2$, scanning pulse signal is outputted as output-signal $OUT_{(N)}$ through output buffer circuit 406-N.

Signal outputted from this shift-register 405-N is input into AND circuit 402 contained in selecting-circuit 401- (N-1) of the following stage, it inputs into shift-register 405- (N-1) through said AND circuit 402 and OR circuit 404.

Action of shift-register 405- (N-1) is completely the same as action of the above-mentioned shift-register 405-N.

Timing of signal outputted from said shift-register 405- (N-1) is controlled by clock signal $(\phi)_1$ and $(\phi)_2$, scanning pulse signal is outputted as output-signal $OUT_{(N-1)}$ through output buffer circuit 406- (N-1).

Below, similarly, from output buffer circuit 406-3, scanning pulse signal is outputted as output-signal OUT_3 , from output buffer circuit 406-2, 406-1, scanning pulse signal is each outputted as output-signal OUT_2 and OUT_1 .

Thus, scanning pulse signal shifted sequentially

れ、出力バッファ回路406- $(N-1)$ を介して、走査パルス信号が出力信号 $OUT_{(N-1)}$ として出力される。以下同様にして、出力バッファ回路406-3からは、走査パルス信号が出力信号 OUT_3 として出力され、出力バッファ回路406-2および406-1からは、それぞれ走査パルス信号が出力信号 OUT_2 および OUT_1 として出力される。このようにして、出力信号 $OUT_{(N)}$ 、 $OUT_{(N-1)}$ 、……、 OUT_3 、 OUT_2 および OUT_1 の順に、逐次シフトされた走査パルス信号が出力される(図6(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)を参照)。

is outputted in order of output-signal $OUT_{(N)}$, $OUT_{(N-1)}$, OUT_3 , OUT_2 and, and OUT_1 (see FIG. 6 (a), (b), (c), (d), (e), (f), (g), (h), (i), and the (j)).

【0011】

[0011]

【発明が解決しようとする課題】

上述した従来の双方向の走査回路においては、図4に示されるように、選択回路を設けて、これに対応する余分な配線を引き回す必要があるため、回路占有面積および配線容量が増大して小型化および高速化を図ることが困難となる。このために、高速・高解像度の液晶ディスプレイおよび密着型イメージセンサ等に対応することができなくなるという欠点がある。

[PROBLEM TO BE SOLVED BY THE INVENTION]

In conventional bidirectional scanning circuit mentioned above, since it is necessary to prepare selecting circuit and to take about excessive wiring corresponding to this as shown in FIG. 4, it becomes difficult for circuit occupying area and wiring capacity to increase, and to attain reduction in size and improvement in the speed.

For this reason, there is disadvantage of it becoming impossible to correspond to liquid crystal display, contacted type image sensors, etc. of high-speed * high resolution.

【0012】

また、回路占有面積が増大するために、走査回路の歩留りが低下し、シフトレジスタを直列接続した走査回路の場合には、途中の段に1個でも欠陥が存在すると、その段以降の回路に対しては走査信号を正常に転送することができなくなり、液晶ディスプレイ等の2次元画像デバイスにおいては面欠陥として現れる。これは、画素アレイ部に欠陥が存在しない場合においても発生するため、走査回路の欠陥自体がデバイス自体の歩留まりを低下させる要因になるという欠点がある。

[0012]

Moreover, since circuit occupying area increases, yield of scanning circuit falls, When at least one defect exists in intermediate stage, it becomes impossible to transmit scanning signal normally to circuit after the stage in the case of scanning circuit which serially connected shift register.

In 2-dimensional image devices, such as liquid crystal display, it appears as a plane defect.

Since this is generated also when defect does not exist in pixel array part, there is disadvantage of becoming factor in which defect of scanning circuit itself reduces yield of device itself.

【0013】

本発明は、上記の欠点を解決して、高速、且つ高歩留まりの双方向の走査回路およびその駆動方法を提供することを目的としている。

[0013]

This invention solves the above-mentioned disadvantage and aims at providing high speed, bidirectional scanning circuit of high yield, and its actuation method.

【0014】**【課題を解決するための手段】**

本発明の走査回路は、データ信号を所定のクロック信号に同期させて逐次遅延転送する回路構成により、走査パルス信号を生成して出力する走査回路において、前段から出力されるデータ信号を入力信号とし、1個のク

[0014]**[MEANS TO SOLVE THE PROBLEM]**

Scanning circuit of this invention makes input signal data signal outputted from prestage in scanning circuit which generates and outputs scanning pulse signal by circuit arrangement which data signal is synchronized with prescribed clock signal, and carry out delay transmission sequentially, it is controlled by one

ロック信号または相互に反転関係にある２個のクロック信号により制御されて、次段に対する入力信号を出力信号とする複数の縦続接続されたパストランジスタと、前記複数のパストランジスタから、それぞれ逐次分岐出力される信号を個別に入力して、当該信号のレベル低下を補償して出力する複数のフィードバック回路と、前記の複数のフィードバック回路より逐次出力される信号を、それぞれ個別に入力して、それぞれ走査パルス信号として出力する複数の出力バッファ回路と、を少なくとも備えることを特徴としている。

【 0 0 1 5 】

なお、前記本発明の走査回路において、前記データ信号の最終ビットに対応するパストランジスタの出力信号を入力とし、前記１個のクロック信号または相互に反転関係にある２個のクロック信号により制御される１個のパストランジスタを備えて構成してもよい。

【 0 0 1 6 】

また、本発明の走査回路の駆動方法は、前記走査回路において、前記データ信号の隣接するビットに対応する各パストランジスタの制御端子に対して、それぞれ相互に反転関係にあるクロッ

clock signal or two clock signals which have reversal relation mutually, signal by which branch output is each carried out sequentially is individually input from pass transistors of plurality which makes output signal input signal with respect to the following step by which tandem connection was carried out, and these pass transistors, signal sequentially outputted from two or more feedback circuits which compensate and output level decline of said signal, and two or more above-mentioned feedback circuits is each individually input, it is characterized by having at least two or more output buffer circuits each outputted as a scanning pulse signal.

[0015]

In addition, it sets in scanning circuit of said this invention, output signal of pass transistor corresponding to the final bit of said data signal is considered as input, it may have and comprise one pass transistor controlled by said 1 clock signal or two clock signals which have reversal relation mutually.

[0016]

Moreover, in said scanning circuit, the actuation method of scanning circuit of this invention is as follows to control terminal of each feedback circuit corresponding to said adjacent bit while it inputs clock signal which each has reversal relation mutually to control terminal of each

ク信号を入力するとともに、前記隣接するビットに対応する各フィードバック回路の制御端子に対しても、それぞれ相互に反転関係にあるクロック信号を入力することを特徴とするとともに、更に、前記走査回路において、前記フィードバック回路の制御端子に入力するクロック信号を、当該クロック信号の反転クロック信号に置換えて入力することを特徴としている。

pass transistor corresponding to bit which said data signal adjoins.

Clock signal which each has reversal relation mutually is input.

While being characterized by the above-mentioned, in said scanning circuit, it is further characterized by replacing and inputting into reversal clock signal of said clock signal clock signal input into control terminal of said feedback circuit.

【0017】

[0017]

【実施例】

次に、本発明について図面を参照して説明する。

[EXAMPLES]

Next, this invention is demonstrated with reference to drawing.

【0018】

図1は本発明の一実施例の構成を示す図である。図1に示されるように、本実施例は、右シフトスタートパルスが入力される入力端子STR、および左シフトスタートパルスが入力される入力端子STLに対応して、前段からのパルス信号を、クロック信号AおよびBにより逐次次段に遅延転送する(N+1)個のバストランジスタ101-1、101-2、101-3、……、401-(N-1)、401-N、401-(N+1)と、クロック信号CおよびDにより制御され、逐次遅延転送さ

[0018]

FIG. 1 is figure showing composition of one Example of this invention.

Corresponding to input terminal STL into which input terminal STR into which, as for this Example, shift-to-the-right start pulse is input, and shift-to-the-left start pulse are input as shown in FIG. 1, it is controlled by pass-transistor

101-1, 101-2, 101-3....., 401-(N-1), 401-N, 401-(N+1) of individual which carries out delay transmission of the pulse signal from prestage in the following stage sequentially by clock signals A and B (N+1), and clock signals C and D, feedback circuit for preventing attenuation of amplitude of pulse signal by which delay transmission is carried out sequentially

れてゆくパルス信号の振幅の減衰を防止するためのフィードバック回路102-1、102-2、……、102-(N-1)、102-Nと、これらのフィードバック回路102-1、102-2、……、102-(N-1)、102-Nの出力を、それぞれOUT₁、OUT₂、……、OUT_(N-1)、OUT_(N)として出力する出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nとを備えて構成されており、上記のフィードバック回路101-1、101-2、……、101-(N-1)、101-Nは、それぞれクロックインバータ103およびインバータ104により構成されており、また出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nは、それぞれインバータ106、107および408により構成されている。

【0019】

また、図2(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)と、図3(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)は、それぞれ紙面向って左側より右方向にパルス信号が転送される場合(右シフト)と、紙面向って右

102-1, 102-2, …, 102-(N-1), 102-N

Output buffer circuit which each outputs output of these feedback circuit 102-1, 102-2, …, 102-(N-1), 102-N as OUT₁, OUT₂, …, OUT_(N-1), and OUT_(N) 105-1, 105-2, …, 105-(N-1), 105-N

It has these and are comprised, above feedback circuit 101-1, 101-2, …, 101-(N-1), 101-N is each comprised by clocked inverter 103 and inverter 104, moreover, output buffer circuit 105-1, 105-2, …, 105-(N-1), 105-N is each comprised by inverters 106, 107, and 408.

[0019]

Moreover, FIG. 2 (a), (b), (c), (d), (e), (f), (g), (h) and (i), and FIG. 3 (a), (b), (c), (d), (e), (f), (g), (h) and (i) are timing charts showing actuating signal case (shift to the right) where pulse signal is each transmitted rightward from left-hand side toward paper surface, and in case pulse signal is transmitted leftward from right-hand side toward paper surface (shift to the left).

側より左方向にパルス信号が転送される場合（左シフト）における動作信号を示すタイミング図である。

【 0 0 2 0 】

以下、図 1、図 2 および図 3 を参照して、本実施例の動作について説明する。

[0020]

Hereafter, action of this Example is demonstrated with reference to FIG. 1, FIG. 2 and FIG. 3.

【 0 0 2 1 】

図 1 において、左から右方向にパルス信号が転送される右シフトの場合には、もう一方の入力端子 S T L は開放状態に設定される。入力端子 S T R からは右シフトスタートパルスが入力されて、パストランジスタ 1 0 1 - 1 に入力される。ここにおいて、クロック信号 A および D は共通のクロック信号 ϕ_1 であるものとし、またクロック信号 B および C は共通のクロック信号 ϕ_2 (ϕ_1 の反転クロック信号) であるものとする。このようにクロック信号 A、B、C および D を設定することにより、右シフトの走査回路が形成され、出力バッファ回路 1 0 5 - 1、1 0 5 - 2、……、1 0 5 - (N - 1)、1 0 5 - N からは、それぞれ出力信号 O U T₁、O U T₂、……、O U T_(N-1)、O U T_(N) の順に、逐次シフトされた走査パルス信号が出力される（図 2 (a)、(b)、(c)、(d)、

[0021]

In FIG. 1, when it is shift to the right by which pulse signal is transmitted rightward from left, another input terminal STL is set as open state. From input terminal STR, shift-to-the-right start pulse is input, it inputs into pass transistor 101-1.

In here, clock signals A and D shall be common clock signal (ϕ_1).

Moreover, clock signals B and C shall be common clock signal (ϕ_2) (reversal clock signal of (ϕ_1)).

Thus, scanning circuit of shift to the right is formed by setting up clock signals A, B, C, and D, from output buffer circuit 105-1, 105-2, …, 105-(N-1), 105-N, scanning pulse signal shifted sequentially is each outputted in order of output-signal O U T₁, O U T₂, …, O U T_(N-1), O U T_(N) (see FIG. 2 (a), (b), (c), (d), (e), (f), (g), (h), and (i)).

(e)、(f)、(g)、(h) およ
び (i) を参照)。

【0022】

また、右から左方向にパルス信号が転送される左シフトの場合には、入力端子STRは開放状態に設定される。入力端子STLからは左シフトスタートパルスが入力されて、パストランジスタ101-(N+1)に入力される。この場合においては、上述の右シフトの場合とは異なり、クロック信号AおよびCは共通のクロック信号 ϕ_1 に設定され、またクロック信号BおよびDは共通のクロック信号 ϕ_2 (ϕ_1 の反転クロック信号)に設定される。このようにクロック信号A、B、CおよびDを設定することにより、左シフトの走査回路が形成され、出力バッファ回路105-N、105-(N-1)、……、105-2、105-1からは、それぞれ出力信号OUT_(N)、OUT_(N-1)、……、OUT₂、OUT₁の順に、逐次シフトされた走査パルス信号が出力される(図3(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)を参照)。上述のように、左シフトの場合には、右シフトの場合に対してクロック信号CとDが入替えられているが、このクロック信号の入替え操作は、当該

[0022]

Moreover, when it is shift to the left by which pulse signal is transmitted leftward from right, input terminal STR is set as open state.

From input terminal STL, shift-to-the-left start pulse is input, it inputs into pass-transistor 101-(N+1).

In this case, it differs from case of the above-mentioned shift to the right, clock signals A and C are set as common clock signal $(\phi)_1$, moreover, clock signals B and D are set as common clock signal $(\phi)_2$ (reversal clock signal of $(\phi)_1$).

Thus, scanning circuit of shift to the left is formed by setting up clock signals A, B, C, and D, from output buffer circuit 105-N, 105-(N-1), ..., 105-2, 105-1, scanning pulse signal shifted sequentially is each outputted in order of output-signal OUT_(N), OUT_(N-1), ..., OUT₂, OUT₁ (see FIG. 3 (a), (b), (c), (d), (e), (f), (g), (h), and (i)).

As mentioned above, in the case of shift to the left, clock signals C and D are replaced to case of shift to the right.

However, exchange operation of this clock signal may be performed from inside of said scanning circuit, or it may also carry out from outside.

走査回路の内部から行ってもよく、或はまた外部から行ってもよい。

【0023】

本発明の走査回路を採用した2000段の走査回路を、実際に多結晶シリコン薄膜トランジスタをガラス基板上に集積することにより、走査回路のピッチを30 μ mで設計して製造した場合に、当該走査回路の占有面積を、従来の走査回路に比較して1/3以下に抑えてレイアウト設計することが可能であった。

従来の走査回路においては、選択回路と配線引き回し部分の面積が大半を占有するために、回路ピッチ30 μ mでレイアウト設計することは不可能であったが、本発明においてはそれが可能となり、且つ回路占有面積が縮小された分、歩留りも向上されるという結果が得られた。特に、本走査回路においては、前段からのパルス信号を次段に遅延転送する部分がパストランジスタのみにより構成されており、これにより、少なくとも最終段までパルス信号が正常に転送される確率が、従来の50%から90%に向上した。これにより、液晶ディスプレイ等の2次元画像デバイスにおいて、面欠陥が生起する確率を著しく低減することが可能となる。更に、

[0023]

When pitch of scanning circuit was designed and manufactured by 30 micrometer by actually integrating polycrystalline-silicon thin-film transistor for 2000 steps of scanning circuits which adopted scanning circuit of this invention on glass substrate, occupying area of said scanning circuit was able to be restrained below to 1/3 compared with conventional scanning circuit, and layout design was able to be carried out.

In conventional scanning circuit, since area of selecting circuit and wiring leading-about part occupied most, it became impossible to carry out layout design by circuit pitch 30 micrometer, but in this invention, it becomes possible, and result of also improving part and yield to which circuit occupying area was reduced is obtained. In particular, in this scanning circuit, part which carries out delay transmission of the pulse signal from prestage in the following stage comprises only pass transistor, thereby, probability that pulse signal will be normally transmitted to the final stage at least improved from 50 conventional% to 90%.

This sets to 2-dimensional image devices, such as liquid crystal display, it becomes possible to reduce remarkably probability that plane defect will occur.

Furthermore, the highest clock frequency of supply-voltage 12V improves from conventional 5MHz to 10MHz or more, high-speed action

供給電圧 1.2 V での最高クロック周波数が従来の 5 MHz から 10 MHz 以上に向上され、高速動作をも実現することができた。

was also realizable.

【0024】

なお、本実施例は、本発明の走査回路を CMOS スタティック回路により実現した実施例であるが、本発明の走査回路を NMOS 回路により構成することも当然可能である。また、本実施例においては、多結晶シリコン薄膜トランジスタを用いているが、半導体層にアモルファスシリコンおよびカドミウムセレン等を採用した他の薄膜トランジスタにより形成することも可能である。更にまた、単結晶シリコン MOS トランジスタにより構成することも当然のことながら可能である。

[0024]

In addition, this Example is Example which implemented scanning circuit of this invention by CMOS static circuit.

Naturally it can also perform comprising scanning circuit of this invention by NMOS circuit.

Moreover, polycrystalline-silicon thin-film transistor is used in this Example.

However, it can also form by other thin-film transistor which adopted amorphous silicon, cadmium selenium, etc. as semiconductor layer.

Moreover, it can also perform comprising by single-crystal-silicon MOS transistor with natural thing.

【0025】

【発明の効果】

以上説明したように、本発明は、前段からのパルス信号を次段に逐次遅延転送する回路を、パストランジスタを用いて形成することにより、回路占有面積を従来の 1/3 程度に縮小することが可能となり、高解像度液晶ディスプレイおよび密着イメージセンサ等に対応して、回路ピッ

[0025]

[ADVANTAGE OF THE INVENTION]

As explained above, when this invention forms circuit which carries out delay transmission of the pulse signal from prestage sequentially in the following stage using pass transistor, it becomes possible to reduce circuit occupying area to conventional 1/3 degree, while being able to perform layout design which improved circuit pitch corresponding to high-resolution liquid crystal display, contact image-sensor, etc.

チを向上させたレイアウト設計を行うことができ、また歩留りを著しく向上させることができるとともに、高速にて動作する双方向の走査回路を実現することができるという効果がある。

and being able to improve yield remarkably, there is effect to say that bidirectional scanning circuit which operates at high speed is realizable.

【図面の簡単な説明】**[BRIEF DESCRIPTION OF THE DRAWINGS]****【図 1】**

本発明の一実施例を示すブロック図である。

[FIG. 1]

It is block diagram showing one Example of this invention.

【図 2】

本実施例の右シフト時における各部信号のタイミング図である。

[FIG. 2]

It is timing chart of each part signal at the time of shift to the right of this Example.

【図 3】

本実施例の左シフト時における各部信号のタイミング図である。

[FIG. 3]

It is timing chart of each part signal at the time of shift to the left of this Example.

【図 4】

従来例を示すブロック図である。

[FIG. 4]

It is block diagram showing prior art example.

【図 5】

従来例の右シフト時における各部信号のタイミング図である。

[FIG. 5]

It is timing chart of each part signal at the time of shift to the right of prior art example.

【図 6】

従来例の左シフト時における各部信号のタイミング図である。

[FIG. 6]

It is timing chart of each part signal at the time of shift to the left of prior art example.

【符号の説明】

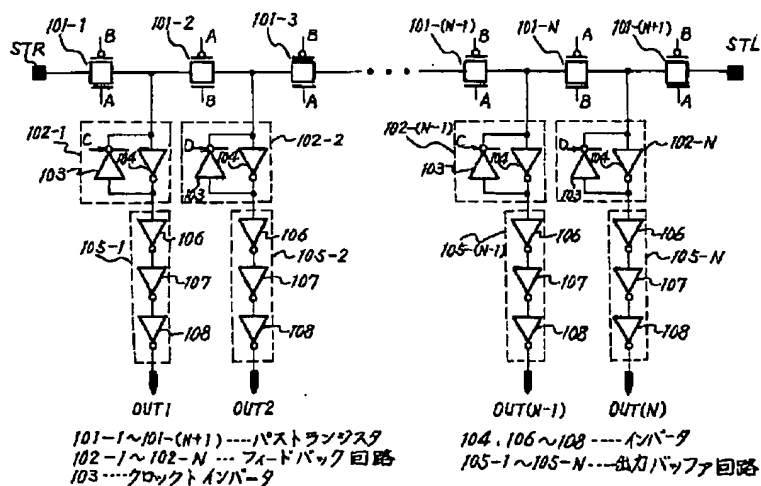
101-1-101-(N+1) パストランジスタ
 102-1-102-N フीडバック回路
 103 クロックインバータ
 104, 106-108, 407, 408 インバータ
 105-1-105-N, 406-1-406-N クロックトインバータ
 401-1-401-N 選択回路
 402, 403 AND回路
 404 OR回路
 405-1-405-N シフトレジスタ

[DESCRIPTION OF SYMBOLS]

101-1-101-(N+1) Pass transistor
 102-1-102-N Feedback circuit
 103 Clocked inverter
 104, 106-108, 407, 408 Inverter
 105-1-105-N, 406-1-406-N Output buffer circuit
 401-1-401-N Selecting circuit
 402, 403 AND circuit
 404 OR circuit
 405-1-405-N Shift register

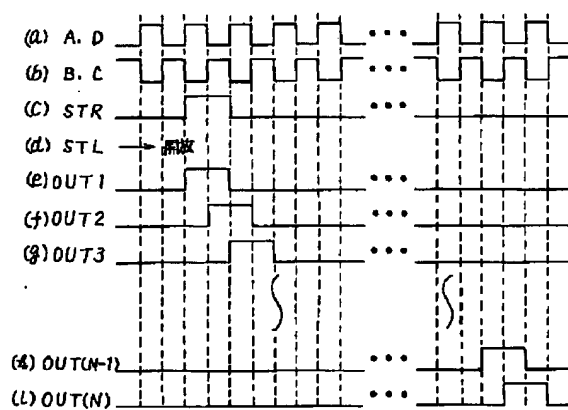
【図1】

[FIG. 1]



【図 2】

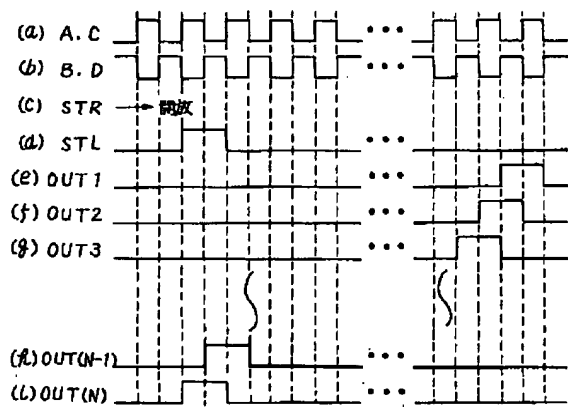
[FIG. 2]



STL Dismissal

【図 3】

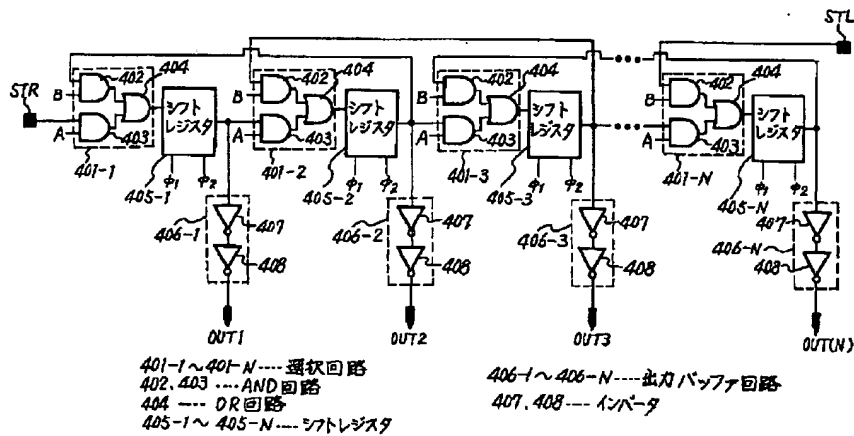
[FIG. 3]



STR Dismissal

【図 4】

[FIG. 4]

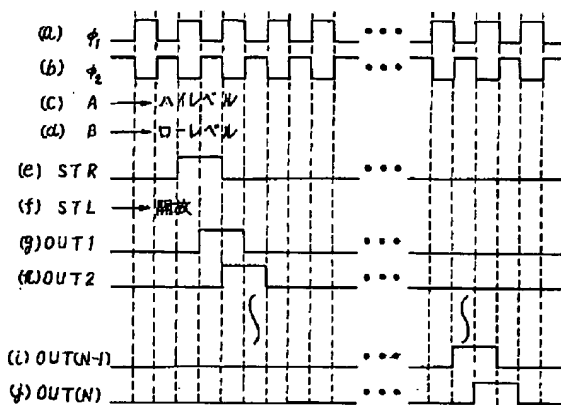


Output buffer circuit

Inverter

【図 5】

[FIG. 5]



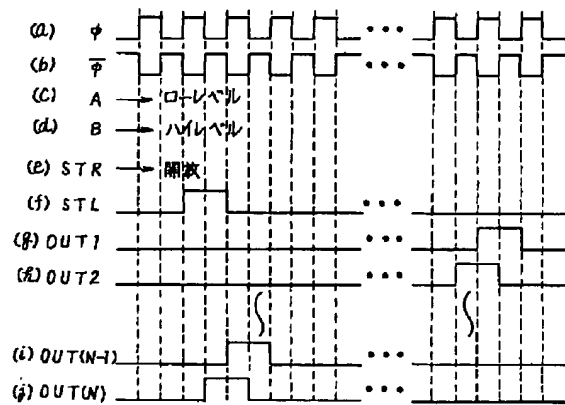
(c) A High level

(d) B Low level

STL Dismissal

【図 6】

[FIG. 6]



(c) A High level

(d) B Low level

STR Dismissal



DERWENT TERMS AND CONDITIONS

Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page: ["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)
["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)